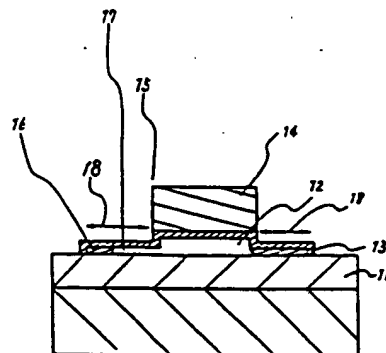


(11) 4-196490 (A) (43) 16.7.1992 (19) JP

(21) Appl. No. 2-327916 (22) 28.11.1990

(51) Int. Cl.⁸. H01L29/784

CONSTITUTION: In order to form a source and a drain region, the drain region is separated from a gate edge 15 when ion implantations of highly concentrated impurities are effected. Namely, there is provided between the drain region 16 and the gate edge 15, a region 17 where no impurities are implanted. The existence of this region leads to a mitigated electric field which has been generated from the edge of the drain. However, the region 17, free from impurity implantations, is essential in forming the drain region in a region 18 having a thickness much thinner than a polysilicon thin film 12, taking into account a diffusion of impurities. Such a process renders the thickness of a region at the edge of the drain, where a P-N junction is formed, smaller than that of the polysilicon thin film situated below the gate oxide film. Thereby, the reduction of the OFF-state current is realized.



BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-196490

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月16日

H 01 L 29/784

9056-4M H 01 L 29/78

3 1 1 S

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 平2-327916

⑰ 出 願 平2(1990)11月28日

⑱ 発 明 者 北 島 洋 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

ゲート酸化膜に接する部分のシリコン薄膜の膜厚に比べ、ゲート酸化膜に接していないシリコン薄膜部が薄いことを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はMOS(Metal Oxide Semiconductor)型半導体装置の構造に関し、特に絶縁膜上の薄膜MOSトランジスタの構造に関する。

〔従来の技術〕

従来の多結晶シリコン薄膜トランジスタの構造を第4図と第5図に示す。

シリコン基板61上に酸化膜62を形成し、更に多結晶シリコン薄膜63を堆積する。多結晶シ

リコン薄膜63の結晶性、特に平均粒径は形成されるトランジスタの特性に強い影響を与えることから、非晶質シリコンをまず堆積し、600℃程度の温度で長時間熱処理を行い粒径増大を図ることが多い。その後、ホトリソグラフィー技術とイオンエッチング技術を用い、多結晶シリコン薄膜63をパターニングした後、表面にゲート酸化膜64を形成する。ゲート酸化膜の形成は、多結晶シリコン薄膜63の表面を熱酸化する場合と、化学堆積法でシリコン酸化膜を堆積する場合がある。その後、多結晶シリコンを全面に堆積し、拡散法あるいはイオン注入法でリンなどを高濃度に多結晶シリコン中にドーブした後、ホトリソグラフィー技術とイオンエッチング技術を用いパターニングし、多結晶シリコン・ゲート65を形成する。ヒ素のイオン注入によりソース領域66とドレイン領域67を形成することにより多結晶シリコン薄膜トランジスタの基本構造が形成される。第4図の構造は導電部である多結晶シリコン薄膜の上にゲートが有ることから、上部ゲート型と呼

ばれる。

多結晶シリコン・ゲート 73 の形成をまず行い、ゲート酸化膜 74 を形成し、その後で導電部である多結晶シリコン薄膜 75 の形成を行うと第 5 図のような構造ができる。

第 4 図に対し、第 5 図では、導電部である多結晶シリコン薄膜の下にゲートが有ることから、下部ゲート型と呼ばれる。

〔発明が解決しようとする課題〕

多結晶シリコン薄膜トランジスタは、導電部が多結晶シリコンであることから単結晶と較べると特性が劣る。特性が劣る第 1 の原因は多結晶シリコン中の粒界であるといわれていて、大粒径化は粒界の密度を減らす点で有効である。しかし、ある程度の大粒径化が達成されると、トランジスタの PN 接合部にどのぐらい粒界が分布しているかで特性、特にオフ時のもれ電流は大きく影響を受ける。PN 接合面積を減らすことは有効であり、従って膜厚の減少は漏れ電流を減少させる有効な手段であるが、オン電流が減る、あるいはサブス

レッシュホールド特性が悪化するなどの欠点があった。

多結晶シリコンゲートのパターニング時に続けてもかまわない)とした異方性エッチングで熱酸化膜 13 をエッチングし、導電部である多結晶シリコン薄膜 12 をエッチングによって更に薄膜化する。ソースおよびドレイン領域を形成するために高濃度不純物のイオン注入を行う際には、ドレイン領域はゲート端 15 から離す、すなわちドレイン領域 16 とゲート端 15 との間に不純物が注入されない領域 17 を設けている。その状態を第 1 図(b)に示す。この領域を設けることでドレイン端の電界を緩和することになるが、不純物の拡散まで考慮してドレイン領域が多結晶シリコン薄膜 12 の更に薄膜化した領域 18 の中にあるようにするためには不純物が注入されない領域 17 を設けることは不可欠である。このようなプロセスによってゲート酸化膜下の多結晶シリコン薄膜の厚さに較べ、ドレイン端の PN 接合が形成される領域の厚さが薄いという薄膜トランジスタを形成することができる。このような構造にすることによって、ドレイン端部での薄膜化を行わなかった

場合にくらべ、オン電流やサブスレッシュホールド特性がほとんど変わらずにオフ電流が膜厚に比例する程度以下であるような薄膜トランジスタが得られる。

〔課題を解決するための手段〕

本発明の薄膜トランジスタのゲート酸化膜に接する部分のシリコン薄膜の膜厚に較べ、それ以外の薄膜部が薄いことを特徴としている。

〔実施例〕

次に本発明を実施例により説明する。

第 1 図は本発明の一実施例の作成プロセスを説明するための縦断面図である。

第 1 の従来例と同様にして多結晶シリコンゲートのパターニングを終えた状態を第 1 図(a)は示している。すなわち、シリコン酸化膜 11 の上に導電部となる多結晶シリコン薄膜 12、熱酸化膜 13、更にその上にゲートである多結晶シリコン膜 14 が形成されている。導電部となる多結晶シリコン薄膜は、非晶質シリコン薄膜を堆積した後、600℃前後の温度で長時間熱処理することによって大粒径化した。

続いて多結晶シリコンゲートをマスク (もちろ

場合にくらべ、オン電流やサブスレッシュホールド特性がほとんど変わらずにオフ電流が膜厚に比例する程度以下であるような薄膜トランジスタが得られる。

第 2 図は本発明の一実施例の作製プロセスを説明するための縦断面図である。

シリコン基板 21 上に熱酸化膜 22 を形成した後、多結晶シリコン膜を堆積し、拡散あるいはイオン注入で多結晶シリコン膜 23 に不純物を導入して低抵抗化する。多結晶シリコン膜 23 の表面にゲートとなるシリコン酸化膜 24 を形成し続いて非晶質シリコン薄膜を堆積する。600℃程度の温度で長時間熱処理することによって非晶質シリコン薄膜を大粒径の多結晶シリコン薄膜 25 とした後、ホトリソグラフィ技術とイオンエッチング技術を用い、多結晶シリコン膜 23 までパターニングした状態を第 2 図(a)は示している。この後シリコン酸化膜 26 を堆積し、異方性イオンエッチングによって多結晶シリコン膜 23 の側面だけにそのシリコン酸化膜 26 を残す。その後

全面に非晶質シリコン薄膜を堆積し、600℃程度の温度で長時間熱処理することによって大粒径の多結晶シリコン薄膜27とした状態を第2図(b)は示している。この場合、先に大粒径化してあった多結晶シリコン薄膜25に接した部分から非晶質シリコン薄膜の結晶化が生じる。その結果、ランダムな結晶化に較べると大粒径化が著しく、特に多結晶シリコン薄膜25の端部28から離れるほど粒径が大きくなる。第2図(c)はその平面構造を示す。第1の実施例と同様に、ドレイン領域29とゲート端30との間に不純物が注入されない領域31を設けるようにしてソース32およびドレイン領域29を形成した状態を第2図(d)に示す。このようなプロセスによってゲート酸化膜下の多結晶シリコン薄膜の厚さに比べ、ドレイン端のPN接合が形成される領域の厚さが薄いという薄膜トランジスタを形成することができる。同程度のオン電流あるいはサブスレッショールド特性が得られる従来構造と比較するとオフ電流の減少が著しい。一旦大粒径化してある多結晶シ

リコンにシリコン酸化膜46を形成した後、全面に窒化シリコン47を堆積し、異方性イオンエッチングで側面だけに窒化シリコン47を残す。ゲートである多結晶シリコン薄膜44をマスクとし、異方性イオンエッチングでゲート酸化膜43と多結晶シリコン薄膜42をエッチングした状態を第3図(b)は示している。その後、全面に非晶質シリコン薄膜を堆積し、600℃程度の温度で長時間熱処理することによって大粒径の多結晶シリコン薄膜を堆積し、600℃程度の温度で長時間熱処理することによって大粒径の多結晶シリコン薄膜48とする。この場合、先に大粒径化してあった多結晶シリコン薄膜42に接した部分から非晶質シリコン薄膜の結晶化が生じる結果、ランダムな結晶化に較べると大粒径化が著しく、特に多結晶シリコン薄膜42の端部から離れるほど粒径が大きくなる。

第1あるいは第2の実施例と同様、ドレイン領域49とゲート端50との間に不純物が注入されない領域51を設けるようにしてソース52およ

りシリコン薄膜25の端部27を種として、ドレイン端のPN接合が形成される領域の結晶化が行われるため、第1の実施例にくらべてもその領域が大粒径化し、従って、オフ電流の減少効果は更に大きいという結果が得られた。

第3図は本発明の一実施例の作製プロセスを説明するための縦断面図である。

これは実施例2のような2段階の結晶化をトップゲート型に対して行った例である。

酸化膜41上に非晶質シリコン薄膜を堆積し、600℃程度の温度で長時間熱処理することによって大粒径の多結晶シリコン薄膜42とする。その表面にゲート酸化膜43を形成し、更に多結晶シリコン膜44を堆積し、拡散法あるいはイオン注入法でリンなどを高濃度に多結晶シリコン中にドーピングした後、シリコン酸化膜45を全面に形成し、ホトリソグラフィ技術とイオンエッチング技術を用い多結晶シリコン薄膜44までパターンニングした状態を第3図(a)は示している。その後多結晶シリコン薄膜44の上部および側面

びドレイン領域49を形成した状態を第3図(c)に示す。

同程度のオン電流あるいはサブスレッショールド特性が得られる従来構造と比較するとオフ電流の減少が著しい。一旦大粒径化してある多結晶シリコン薄膜42の端部を種として、ドレイン端のPN接合が形成される領域の結晶化が行われるため、第2の実施例と同様にその領域が大粒径化し、従って、ドレイン端の薄膜化以上にオフ電流の減少効果は著しい。

〔発明の効果〕

以上述べたように本発明は、ゲート酸化膜に接する導電部のシリコン薄膜の膜厚に比べそれ以外の薄膜部、特にドレイン端の薄膜部が薄い構造を採ることにより、薄膜トランジスタ特性が改善された。同程度のオン電流あるいはサブスレッショールド特性が得られる従来構造と比較するとオフ電流を減少させることができた。2段階の結晶化を用いる場合には、ドレイン部のPN接合が形成される領域の膜厚を独立に制御することと併せ

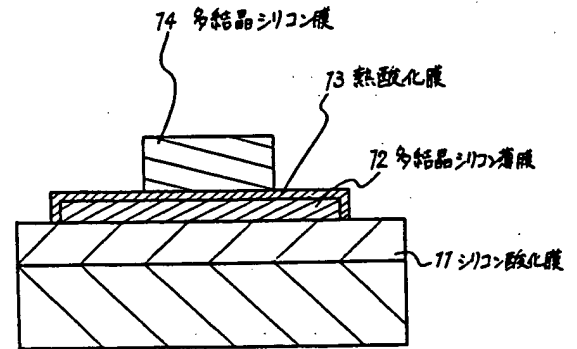
ると、オフ電流を少なくとも1桁程度は下げることができ、従って従来構造に較べオン／オフ比が1桁程度は改善された。

4. 図面の簡単な説明

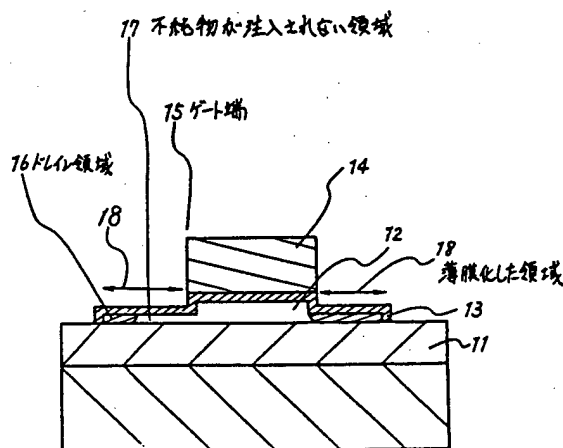
第1図から第3図は夫々本発明の実施例の縦断面図（一部に平面図を含む）、第4図と第5図は従来構造の断面図である。

11, 24, 41, 45, 46……シリコン酸化膜、12, 42, 44, 48, 63, 75……多結晶シリコン薄膜、13, 22, 62……熱酸化膜、14, 23, 27, 65, 73……多結晶シリコン・ゲート、15, 30, 50……ゲート端、16, 29, 49, 67……ドレイン領域、17, 31, 51……不純物が注入されない領域、18……薄膜化した領域、21, 61……シリコン基板、32, 52, 66……ソース領域、43, 64, 74……ゲート酸化膜、47……窒化シリコン膜、12, 32……熱酸化膜、28……多結晶シリコン薄膜25の端部。

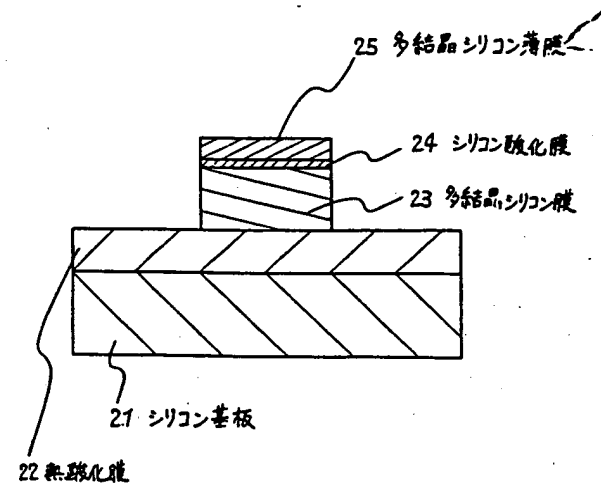
代理人 弁理士 内 原 晋



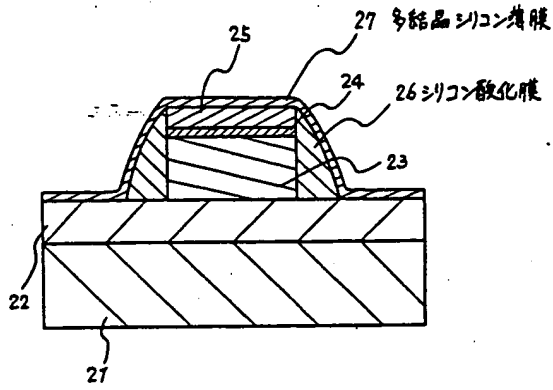
第1図 (a)



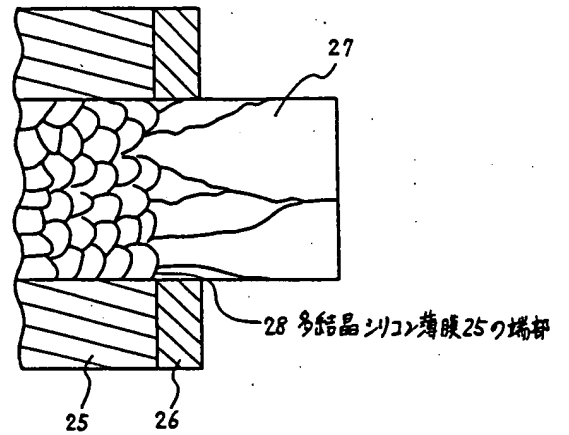
第1図 (b)



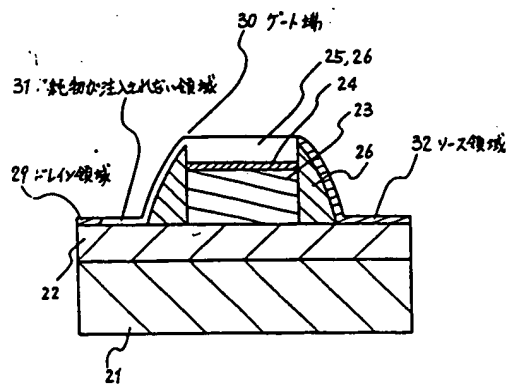
第2図 (a)



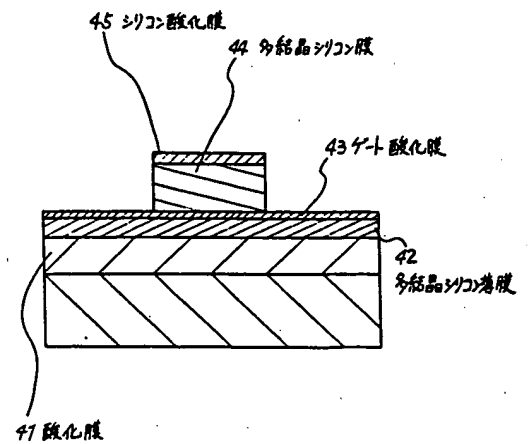
第 2 図 (b)



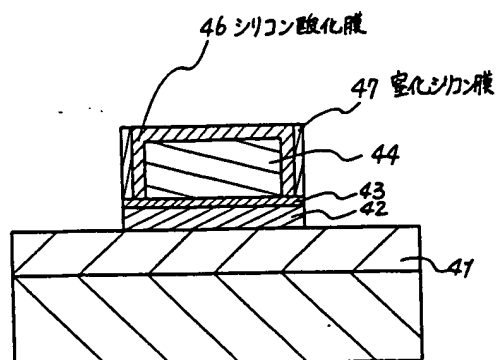
第 2 図 (c)



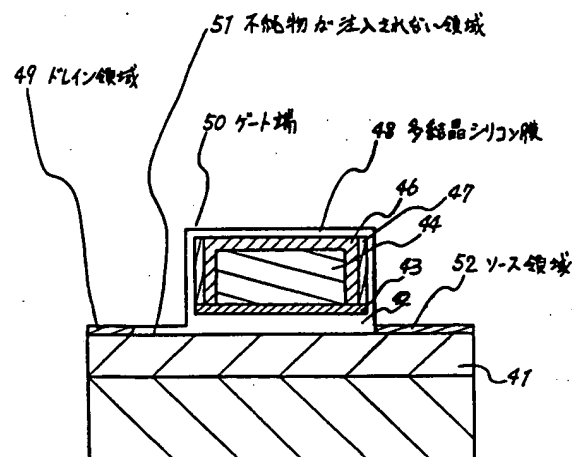
第 2 図 (d)



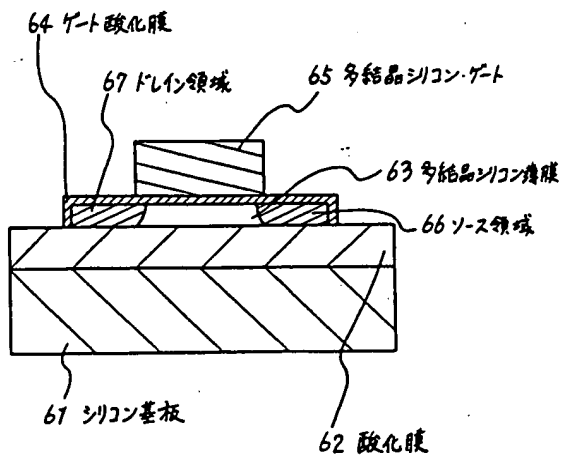
第 3 図 (a)



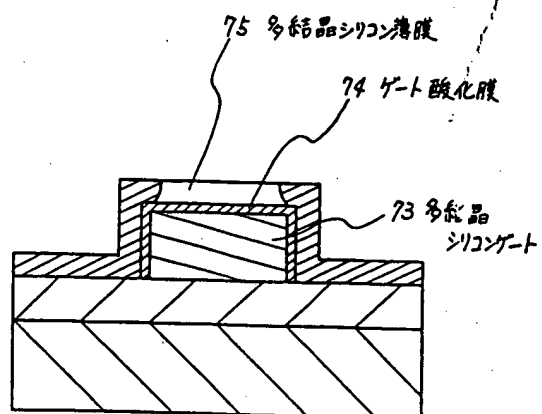
第3図 (b)



第3図 (c)



第4図



第5図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.